

先端半導体パッケージング技術の最新動向！6月の国際会議の情報も紹介する予定です。
また、話題のマイクロLEDディスプレイで必要とされる技術についてもご説明します。

先端半導体のパッケージング技術:

FOWLPから3D-IC/TSV、チップレット、FHEや μ LEDまで
～半導体後工程最大の国際会議ECTCを中心に個別プロセスや材料を詳細解説～

<Zoomによるオンラインセミナー:見逃し視聴あり>

講師

東北大学 大学院工学研究科
機械機能創成専攻 准教授 博士(工学) 福島 誉史 先生

日時・会場・受講料

- 日時 2021年7月20日(火) 10:30-16:30
- 会場 Zoomによるオンラインセミナー
- 受講料
【オンラインセミナー(見逃し視聴なし)】:1名47,300円(税込(消費税10%)、資料付)
*1社2名以上同時申込の場合、1名につき36,300円

【オンラインセミナー(見逃し視聴あり)】:1名52,800円(税込(消費税10%)、資料付)
*1社2名以上同時申込の場合、1名につき41,800円

*学校法人割引;学生、教員のご参加は受講料50%割引。→「[セミナー申込要領・手順を確認下さい。](#)」
●録音・録画行為は固くお断り致します。

■ [セミナーお申込手順からセミナー当日の主な流れ](#) →

配布資料・講師への質問等について

- 配布資料はPDF等のデータで送付予定です。受取方法はメールでご案内致します。
(開催1週間前～前日までには送付致します)。
*準備の都合上、開催1営業日前の12:00までにお申し込みをお願い致します。
(土、日、祝日は営業日としてカウント致しません。)
- 当日、可能な範囲で質疑応答も対応致します。
(全ての質問にお答えできない可能性もございますので、予めご容赦ください。)
- 本講座で使用する資料や配信動画は著作物であり
無断での録音・録画・複写・転載・配布・上映・販売等を禁止致します。
- 受講に際しご質問・要望などございましたら、下記メールにてお問い合わせ下さい。req@johokiko.co.jp

セミナーポイント

■はじめに
世界中の先端ロジック半導体の生産を一手に担う台湾TSMCが半導体後工程の工場を日本に建設するとの噂から一転、3D-IC/TSVに特化した材料の研究拠点を日本に構築するとの話に変わり、揺れる日本の半導体業界であるが、半導体パッケージングの重要性は年々増している。経産省からは、「ポスト5G情報通信システム基盤強化研究開発事業/先端半導体製造技術の開発」の公募が2月に開始され、半導体パッケージングに関連するMore Than Moore技術に対し、1件50億円-250億円の規模で委託や助成事業等が行われる。一方、More Moore, More Than Mooreに続く第三のムーアの法則の救世主とも言われるChipletを用いた先端半導体パッケージングによるシステム集積が人工知能や高性能コンピューティングなど新世代の半導体研究開発の鍵となりそうである。本講座では、これらを網羅する先端半導体パッケージング技術を中心に詳解し、最近の研究開発動向を解説する。同時に、世界最大の半導体パッケージング技術の国際会議であるECTCで2021年6月に発表される最新の内容についても紹介する。また、高性能なフレキシブルデバイスを志向したフレキシブル・ハイブリッド・エレクトロニクス(FHE)や話題の μ LEDディスプレイで必要とされる先端半導体パッケージング技術についても説明する。

■想定される主な受講対象者

材料メーカー、半導体製造装置メーカー、
次世代デバイスの設計・研究開発・生産製造に携わる方(初心者から中級者まで)

■本セミナーに参加して修得できること

- ・先端半導体パッケージを俯瞰した基礎知識
- ・3D-IC/TSV技術の詳細(信頼性解析技術も含む)
- ・3D-ICとFOWLPの比較、課題の理解、今後取り組むべき研究開発の方向性
- ・FHE(フレキシブル・ハイブリッド・エレクトロニクス)によるフレキシブルデバイスの高性能化
- ・マイクロLEDディスプレイ製造における半導体パッケージング技術

セミナー内容

1. 先端半導体パッケージの研究開発動向:
世界最大の半導体パッケージング技術の国際会議ECTCの発表内容を中心に
2. 3D-IC
 - 2.1 3D-ICの概要と歴史
 - 2.2 3D-ICの分類
 - 2.2.1 モノリシックvs.マルチリシック
 - 2.2.2 積層対象による分類(Wafer-on-Wafer vs. Chip-on-Wafer)
 - 2.2.3 積層形態による分類(Face-to-Face vs. Back-to-Face)
 - 2.2.4 TSV形成工程による分類(Via-Middle vs. Via-Last)
 - 2.2.5 接合方式による分類(マイクロバンプ接合 vs. ハイブリッド接合)
 - 2.3 TSV形成技術と信頼性評価技術
 - 2.3.1 高異方性ドライエッチング
 - 2.3.2 TSVライナー絶縁膜堆積
 - 2.3.3 バリア/シード層形成
 - 2.3.4 ボトムアップ電解めっき
 - 2.3.5 その他のTSV形成技術とTSVの微細化について
 - 2.4 チップ/ウエハ薄化技術と信頼性評価技術
 - 2.5 テンポラリー接着技術と信頼性評価技術
 - 2.6 アセンブリ接合技術と信頼性評価技術
 - 2.6.1 微小はんだバンプ接合技術とアンダーフィル
 - 2.6.2 SiO₂-SiO₂直接接合
 - 2.6.3 Cu-Cuハイブリッドボンディング
 - 2.6.4 無機異方導電性フィルム(iACF)を用いた接合技術
 - 2.6.5 液体の表面張力を用いた自己組織化チップ実装技術(セルフアセンブリ)
 - 2.7 3D-ICに要求される高分子材料
 - 2.8 3D-ICのアプリケーション
 - 2.8.1 三次元イメージセンサ
 - 2.8.2 三次元DRAM(HBM: High-Bandwidth Memory)
 - 2.8.3 2.5Dシリコンインターポーザ, CoWoS, EMIB
3. チップレット
 - 3.1 チップレットとは?
 - 3.2 チップレットを用いた半導体パッケージング技術の現状
 - 3.3 ECTC2021に見るチップレット技術と展望
4. FOWLP
 - 4.1 FOWLPの概要と歴史
 - 4.2 FOWLPの分類(Die-first, RDL-first, InFO)と特徴
 - 4.3 FOWLPの課題: Die shift/Chip protrusion/Wafer warpage
 - 4.4 FOWLPの研究開発動向
5. フレキシブル・ハイブリッド・エレクトロニクス(FHE):
フレキシブルエレクトロニクスの最前線と先端半導体パッケージング
6. マイクロLEDディスプレイ:
極小チップの一括アセンブリ技術「マストランスファ」と「インターコネク」
7. おわりに

【略歴】

・2004年8月～2010年3月

東北大学 大学院工学研究科 バイオロボティクス専攻にて助手／助教を務め、自己組織化実装技術の研究開発とTSVを用いた三次元積層型チップの研究に従事。

・2010年4月から現在まで

東北大学未来科学技術共同研究センター(NICHe)にて准教授を務め、三次元スーパーチップLSI試作製造拠点GINTI(Global INtegration Initiative)にて、ピアラスト方式で300mmウエハを用いた3D-ICの試作研究に従事。

・2016年3月～2017年7月

米国UCLA Electrical Engineering DepartmentのCenter for Heterogeneous Integration and Performance Scaling (CHIPS)にて客員教員を務め、FOWLPを用いたフレキシブル・ハイブリッド・エレクトロニクスの研究に従事。

・2016年8月から現職

【専門】

・半導体実装工学

・高分子材料科学

【本テーマ関連学協会での活動】

IEEE Electronic Components and Technology Conference (ECTC)

/ Program Committee of Interconnections 2014～現在

IEEE EPS Heterogeneous Integration Roadmap 2019 Edition

Chapter 22: Interconnects for 2D and 3D Architectures / Key Contributor

IEEE EPS (Electronics Packaging Society) Japan Chapter / Committee Member 2021年～